

Docket No.: 4006-117

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

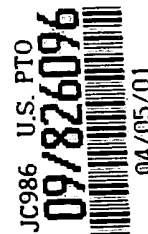
Biing-Seng WU et al.

Serial No. Not yet assigned

Filed: April 5, 2001

For: METHOD OF REDUCING FLICKERING AND INHOMOGENEOUS BRIGHTNESS
IN LCD

:
:
:
:
:
Group Art Unit: Not yet assigned
:
Examiner: N/A



CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner For Patents
Washington, D.C. 20231

Dear Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority
of:

Taiwanese Patent Application No. 89106352 filed April 6, 2000

cited in the Declaration of the present application.

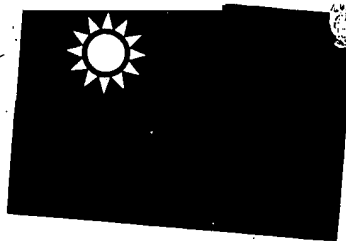
The certified copy is submitted herewith.

Respectfully submitted,

LOWE HAUPTMAN GILMAN & BERNER, LLP

Benjamin J. Hauptman
Registration No. 29,310

1700 Diagonal Road, Suite 310
Alexandria, Virginia 22314
(703) 684-1111
BJH:ms



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA



茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2000 年 04 月 06 日
Application Date

申請案號：089106352
Application No.

申請人：奇美電子股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

陳明邦

發文日期：西元 2001 年 3
Issue Date

發文字號：0901100454
Serial No.



申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	減少液晶顯示器畫面抖動及亮度不勻之方法
	英 文	
二、發明人	姓 名	一、吳炳昇 二、薩文志 三、吳昭文
	國 籍	一、中華民國 二、中華民國 三、中華民國
	住、居所	一、台南科學園區台南縣奇業路一號 二、台南科學園區台南縣奇業路一號 三、台南科學園區台南縣奇業路一號
三、申請人	姓 名 (名稱)	奇美電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台南科學園區台南縣奇業路一號
	代 表 人 姓 名	許 文 龍

裝

訂

線

四、中文發明摘要(發明之名稱：)

減少液晶顯示器畫面抖動及亮度不勻之方法

一種改善液晶顯示器畫面抖動及亮度不勻的方法，本發明方法係將連接一橫列之複數個畫素之薄膜電晶體閘極之每一掃描線和一電阻器串接，以形成一掃描線電路，其中電阻器連接於被掃描線連接的第一個畫素和掃描線電壓的輸入端之間，用以使輸入第一個畫素之薄膜電晶體的閘極電壓變形，以使薄膜電晶體關閉時的電壓下降，以減少第一個畫素和被掃描線連接的最後一個畫素因 C_{cs} 電容耦合電壓效應的差異所產生之畫面抖動及亮度不勻的問題。

英文發明摘要(發明之名稱：)

五、發明說明()

發明領域：

本發明係有關於一種液晶顯示器之 TFT 掃描線控制線路，特別是有關於改善液晶顯示器畫面抖動及亮度不均的電路。

發明背景：

液晶顯示器(LCD)係一種平面的顯示器，具有低耗電量特性，同時由於與同視窗尺寸之陰極射線管(CRT)相比，不論就佔用空間或質量而言都要小得多，因此完全符合輕薄短小的特性，且不會有一般 CRT 之曲面。因此已廣範應用於各式產品，包括消費性電子產品如掌上型計算機，電腦字典，手錶，手機，尺寸較大的手提型電腦，通訊終端機，顯示板，甚至個人桌上型電腦，都不難看到其應用的產品以及其受歡迎的程度。特別是主動矩陣型薄膜電晶體液晶顯示器(TFT-LCD)，由於其可視角、對比表現都比被動矩陣型的 STN-LCD 要好得多，且具有更佳的反應時間，因此，更有逐步取代較低階的 STN-LCD 之勢。

圖一所示為習知的主動矩陣型 TFT/LCD 的一概略佈局示意圖，圖中存有以矩陣方式排列的液晶電容 100 和電晶體 110，其中掃描線 120 連接各電晶體之閘極 111，資料線 130 則連接各電晶體之源極 112，每一液晶電容 100 則連接於一電晶體 110 和一參考電位 115 之間。每一掃描線 120 以約為一正頁框時間(frame time)除以掃描線數量的

五、發明說明()

掃描時間(scanning time)依序加一矩形波電壓於電晶體 110 之閘極 111，此時資料線 130 已分別有電壓 D1、D2、D3 存在，則對應的電荷將會依 t1、t2、t3 依序存入於該資料線和掃描線交點的液晶電容 100 中。圖示中之反白方塊 140，即在說明資料線矩形波及掃描線存入資料之情形。

仍請參考圖一，圖一除掃描線 120 所連接的電晶體 110、液晶電容 100 外，另顯示了雜散電容(stray capacitor)116 及電阻 121 等。以時下顯示器一般 1024×768 的解析度而言，掃描線約需要 1024×3 的數量，其中"3"是因 3 個紅、綠、藍三原色才構成上述解析度的一個點。連接線電阻 121 係因細長的導線(10μm×12-14 英吋)一定會存有電阻值所產生的，其片電阻的大小約為 0.35Ω/sq。上述的電阻 121 及雜散電容 116 必然造成 RC 的時間延遲，因此，僅管如圖二 a 所示，每一掃描線 120 輸入的是一邊緣陡峭的矩形波，而施加於第一畫素電晶體的閘極(由一電晶體 111 及一液晶電容 100 組成)電壓也幾乎不變形(圖二 b)，然而在第 n 個畫素，加於閘極的電壓卻已有某種程度的變形了。請配合參考圖二 a 至圖二 c，其分別說明輸入於掃描線的矩形波、加於第一畫素及第 n 個畫素的掃描線矩形波說明圖。

圖三 a 中的 V_{GH} 及 V_{GL} 分別是第一畫素閘極的最高和最低電壓；而圖三 b 則顯示最後一個畫素閘極，其掃描線矩形波開始(電晶體開啟)時間及下降(電晶體關掉)的時間變長。因此，為因應此一波形的變化，一般掃描線與資料

五、發明說明()

線會故意有一 Δt 的時間落差，如圖三 c 所示，即資料線必需在上一個畫素關掉後，才再寫入下一個掃描線的資料訊號。

由於 TFT 源/汲極和閘極間難以避免的有寄生電容 C_{gs} ，此電容 C_{gs} 又頗大的， C_{gs} 在電晶體開啟時雖不會產生影響，不過在資料寫入液晶電容 C_{lc} 及儲存電容 C_s 後解除掃描線電壓，以使電晶體關閉時， C_{gs} 的電容就會產生電荷耦合的效應。圖四係顯示在掃描線方波移除時，電晶體汲極的電壓 V_D 下降了 ΔV_D 至 $(V_D - \Delta V_D)$ 的電壓 142，並維持至此正頁框時間結束(正頁框時間約為 16.7ms)， ΔV_D 的大小為 $C_{gs}(V_{GH} - V_{GL}) / (C_{gs} + C_s + C_{lc})$ 。為避免液晶解離，一正頁框時間(V_D 電壓為正)之後，一定要加一負頁框時間(V_D 電壓為負)，此時 C_{gs} 電容之電荷耦合的效應仍會產生一向下拉 ΔV_D 的電壓至 $-V_D - \Delta V_D$ 的電壓 144，圖五即說明這樣的情形。

上述一掃描線中的第 n 個畫素，由於 RC 時間延遲造成掃描線方波變形，以及 C_{gs} 的電容產生電荷耦合的效應等，使得第 n 個畫素和第一畫素的閘極電壓不同，這將造成大型薄膜電晶體液晶顯示抖動(flicker)的問題。為克服上述問題，一般的做法係改變掃描線驅動器的積體電路設計，然此舉卻會造成成本增加，不符合經濟效益。

本發明之目的，便是提供一種有效的方法以解決上述的問題。

五、發明說明()

發明目的及概述：

本發明之目的在提供一種方法以解決大型薄膜電晶體液晶顯示器畫面抖動的問題。

本發明係一種改善液晶顯示器畫面抖動及亮度不均的掃描線電路，每一掃描線電路包含一連接一橫列之複數個畫素之薄膜電晶體之閘極之掃描線和一電阻器串接，其中電阻器設置於經由掃描線連接的第一個畫素和掃描線電壓的輸入端之間，用以使輸入第一個畫素之薄膜電晶體之閘極電壓變形，以使薄膜電晶體關閉時的電壓下降，藉以減少第一個畫素和被掃描線連接的最後一個畫素因 C_{gs} 電容耦合電壓效應的差異所產生之畫面抖動，同時也解決了曝光接合不佳所造成亮度不均的問題。

圖式簡單說明：

本發明的較佳實施例將於往後之說明文字中輔以下列圖形做更詳細的闡述：

圖一顯示習知的主動矩陣型 TFT/LCD 的一概略佈局示意圖。

圖二 a 至圖二 c 分別說明輸入於掃描線的矩形波、加於第一畫素及第 n 個畫素的掃描線矩形波示意圖。

圖三 a 至圖三 b 分別說明第一畫素和最後一個畫素閘極的最高和最低電壓說明。而圖三 c 顯示掃描線與資料線因有 Δt 的時間落差，故資料線必需在上一個畫素關掉後，

五、發明說明 ()

才再寫入下一個掃描線的資料訊號。

圖四說明由於 C_{cs} 電容耦合效應使得汲極電壓有 ΔV_0 的電壓降落。

圖五 a 顯示一典型掃描線輸入之矩形波電壓大小，圖五 b 則顯示由於 C_{cs} 電容耦合效應的影響，第一畫素和最後一個畫素之汲極電壓的不同。

圖六為依據本發明第一較佳實施例之方法在 TFT/LCD 的掃描線電壓輸入端和連接第一畫素閘極之間加入以氧化銦錫膜的電阻器之掃描線的等效電路圖。

圖七 a 係掃描線輸入端輸入之方波電壓，圖七 b 係依據圖六掃描線之等效電路所描繪的第一畫素電晶體閘極輸入的掃描線電壓和最後一個畫素電晶體輸入之掃描線電壓。

圖八係顯示依據本發明第二較佳實施例之方法在 TFT/LCD 的掃描線電壓輸入端和連接第一畫素閘極之間加入以源閘極連接之薄膜電晶體之掃描線的等效電路圖。

標號簡單說明：

100：液晶電容	110：電晶體
111、300b、304：閘極	
115：參考電位	116：雜散電容
120：掃描線	121：電阻
130：資料線	200：電阻器
202、302：掃描線電壓輸入端	
300a：源極	

五、發明說明()

發明詳細說明：

鑑於上述發明背景所述，掃描線第 n 個畫素，由於 RC 時間延遲，掃描線方波變形及 C_{gs} 的電容產生電荷耦合的效應將造成大型薄膜電晶體液晶顯示抖動(flicker)的問題。

本發明將進一步說明何以上述原因會造成薄膜電晶體液晶顯示抖動(flicker)的問題之後再說明本發明解決的方法。

請參考圖五 a 所示之一典型掃描線輸入之矩形波， V_{GH} 電壓約 15 伏， V_{GL} 約 -7 伏，此時第 1 畫素電晶體 V_{GH} 至 V_{GL} ，時間幾乎無延遲而相同於掃描線輸入端，不過由於 C_{gs} 電容產生電荷耦合效應，使得電晶體汲極電壓 V_D ，如圖五 b 曲線 170 所示，在正頁框時間，且掃描線向下移至下一列掃描線時，產生了 ΔV_{D1} 的電壓下降，因此，例如 V_D 由 5 伏下降至 4 伏，在負頁框時 V_D 電壓同樣的也會因 C_{gs} 電荷耦合效應由 -5 伏向下降至 -6 伏，因此，就液晶而言，正頁框和負頁框的偏壓是不同的，這樣會對顯示器的明暗度產生影響，使得正頁框時間較負頁框時間明亮。因此，需對參考電壓做調整，以此一實施例而言，將參考電壓調整至 -1 伏，可以使得液晶之直流偏壓在正、負頁框下很接近。如圖五 b 曲線 175 所示，掃描線傳輸至第 n 個畫素時，對於稍大尺寸的液晶顯示器而言，由於 RC 時間延遲，例

五、發明說明()

如以 $10\mu\text{m}$ 的金屬掃描線長度 14 英吋而言，其造成的掃描線方波電壓由 V_{GH} 至 V_{GL} 的時間延遲就很可觀，掃描線方波變形嚴重，因此在正頁框，第 n 個畫素電晶體關掉的電壓是在 V_T 的電壓，此時，產生電荷耦合效應，所產生之 ΔV_{on} 電壓下降變成 $C_{GS}(V_T - V_{GL}) / (C_{GS} + C_s + C_{LC})$ ，其中 V_T 是薄膜電晶體關掉的關鍵電壓(threshold voltage)。由於 $V_T < V_{GH}$ ，因此 ΔV_{on} 較小，例如是 0.5 伏，在負頁框時也是向下降 0.5 伏。因此，此時由於這 0.5 伏的差異，又造成正、負頁框的偏壓不同，正頁框大(亮度較低)負頁框小(亮度較高)，這就是大型薄膜電晶體液晶顯示抖動(flicker)的原因。

而利用如本發明背景所述的傳統方法，以進行調整解決上述問題是很困難的。因需要改變掃描線驅動器的積體電路設計，不僅效果不好，更主要係在於掃描線驅動器專業製造公司同時供應掃描線驅動器給不同的液晶顯示器製造公司，然每一家之電容不同，因此條件不同，而造成成本上升。

圖六所示即為依據本發明第一較佳實施例之方法在 TFT/LCD 的掃描線電壓輸入端 202 和第一畫素閘極 204 之間即先加入以氧化銻錫膜的電阻器 200 後之掃描線的等效電路圖，以使得電荷耦合效應，所產生之 ΔV_{D1} 和 ΔV_{on} 較接近。

圖七 a 顯示輸入於掃描線輸入端 202 之方波電壓波形，圖七 b 係依據圖六之掃描線等效電路所描繪之第一畫

五、發明說明()

素電晶體閘極輸入的掃描線電壓波形及最後一個畫素電晶體輸入之掃描線電壓波形。由於每一掃描線輸入第一畫素電晶體時，即設置一電阻 200，阻值約為 $10-100\Omega/\text{sq}$ ，因此，即使於第一畫素電晶體閘極 204 的掃描線電壓降落時也有時間延遲產生。故，第一畫素電晶體關掉的時間也不再是掃描線移除時立即產生，而是達到 V_{T1} 才關掉，也因此， V_{T1} 與 V_{Tn} 的差異縮小，使得第一個畫素電晶體 ΔV_{D1} 和第 n 個畫素電晶體 ΔV_{Dn} 較為接近。

仍請參考圖七 b 說明，以未加電阻時 $V_{GH}-V_{GL}=15-(-7)=22$ 伏為例，當設置氧化銦錫膜的電阻器 200 之後，由 V_{GH} 變成 V_{T1} ，此時，若 V_{T1} 為 7 伏，則 $V_{T1}-V_{GL}=7-(-7)=14$ 伏，因此第一個畫素電晶體 ΔV_D 和第 n 個畫素電晶體 ΔV_{Dn} 就會很接近，而達到了畫面減少抖動之目的。

圖八所示為依據本發明第二較佳實施例之方法，係在 TFT/LCD 的掃描線電壓輸入端 302 以及第一畫素閘極 304 之間加入一源閘極連接之薄膜電晶體 300 之掃描線的等效電路圖。其中，源閘極連接之薄膜電晶體 300 係為將源極 300a 與閘極 300b 連接，而使源極 300a 與閘極 300b 具有等電位之一電晶體。因此當電壓輸入端 302 於源極 300a 施加一正電壓時，閘極 300b 亦同時打開，而使電流通過此源閘極連接之薄膜電晶體 300。利用將源閘極連接之薄膜電晶體 300 設於第一畫素閘極 304 之前，將可使通過第一畫素閘極 304 的電壓下降、波形改變，故可達到如圖七

五、發明說明 ()

b 所示，縮短 V_{T1} 與 V_{Tn} 之差距，進而改善畫面抖動的現象。

此外，由於液晶顯示器是一大面積，製造之源/汲極區的微影製程，不能一次曝完，而必須一像場接著一像場曝光，卻由於液晶顯示器製程不允許製造對準圖案於每一像場之間，因此電晶體閘極和源/汲極的疊對在一像場和另一像場之間疊對誤差不同，因此 C_{gs} 電容就不同， ΔV_0 就會改變。 ΔV_0 的變化造成習稱的 shut mura，意思就是曝光接合不佳，造成亮度不勻。

本發明可以利用上述之銻錫氧化物薄膜電阻器或源閘極連接之薄膜電晶體，使 V_{T1} V_{Tn} 接近，藉以解決 shut mura 的問題。因此，本發明的方法可使成本顯著降低，同時也可以明顯改善畫面抖動及亮度不勻的問題。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。

六、申請專利範圍

申請專利範圍：

1. 一種解決薄膜電晶體液晶顯示器畫面抖動及曝光接合不佳，造成亮度不勻的掃描線電路，該薄膜電晶體液晶顯示器具有複數個排列成矩陣形的薄膜電晶體，每一矩陣元素具有一薄膜電晶體，且以複數條互為垂直的掃描線及資料線，分別連接該每一矩陣元素之薄膜電晶體的閘極及源極，該每一矩陣元素之薄膜電晶體汲極並連接一液晶電容及一儲存電容，該每一掃描線電路至少包含：

閘極電壓變形裝置，連接上述之第一個薄膜電晶體閘極及該掃描線電壓輸入端之間，用以使被該掃描線電路連接的閘極輸入電壓變形。

2. 如申請專利範圍 1 之電路，其中上述之閘極電壓變形裝置至少包含一電阻器。
3. 如申請專利範圍 2 之電路，其中上述之電阻器阻值約為 $10-100\Omega/\text{sq}$ 。
4. 如申請專利範圍 1 之電路，其中上述之閘極電壓變形裝置至少包含一氧化銦錫薄膜。
5. 如申請專利範圍 1 之電路，其中上述之閘極電壓變形裝置至少包含一源閘極連接之薄膜電晶體。
6. 如申請專利範圍 1 之電路，其中上述之掃描線係一金屬

六、申請專利範圍

導線。

7. 一種解決薄膜電晶體液晶顯示器畫面抖動及曝光接合不佳，造成亮度不均的掃描線電路，該薄膜電晶體液晶顯示器具有複數條掃描線及複數條資料線，分別以橫、縱排列，該每一條掃描線連接複數個排列成一橫列的薄膜電晶體之閘極，而每一條資料線則連接複數個排列成一縱排的薄膜電晶體之源極，因此該複數個薄膜電晶體形成矩陣排列，該每一薄膜電晶體之汲極並連接一液晶電容及一儲存電容，該每一掃描線電路至少包含：一電阻器連接該掃描線電壓輸入端和第一個連接的電晶體之閘極之間。
8. 如申請專利範圍 7 之電路，其中上述之電阻器至少包含一氧化銦錫薄膜。
9. 如申請專利範圍 7 之電路，其中上述之電阻器阻值約為 $10-100\Omega/\text{sq}$ 。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線



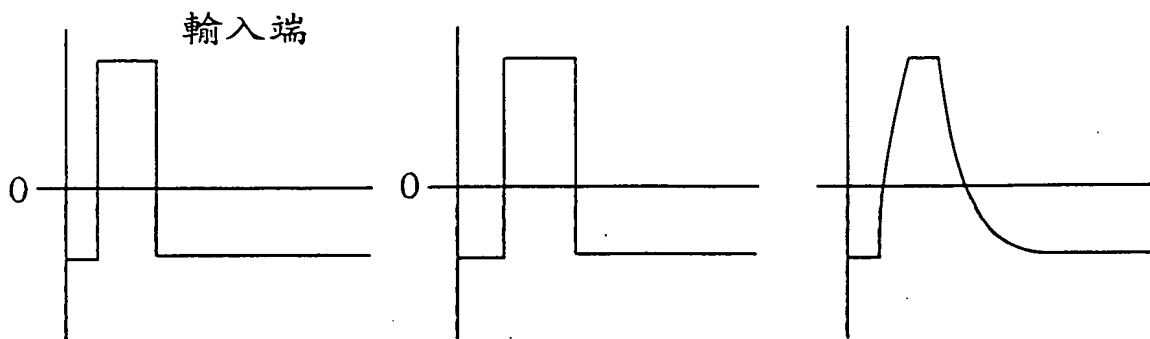


圖 二 a

圖 二 b

圖 二 c

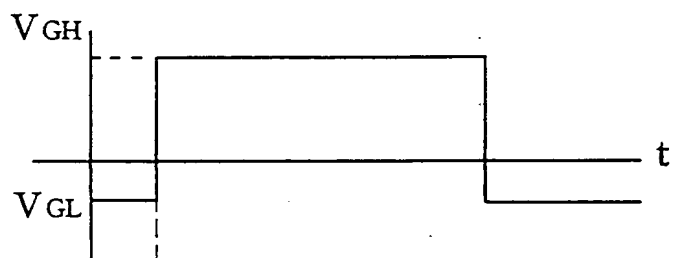


圖 三 a

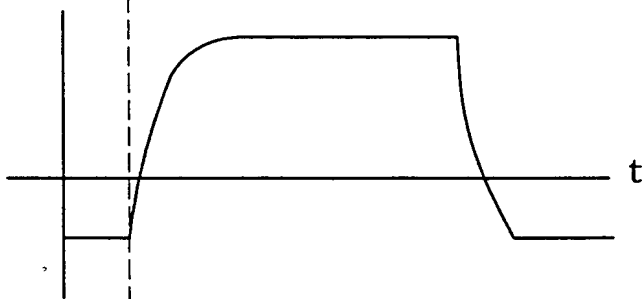


圖 三 b

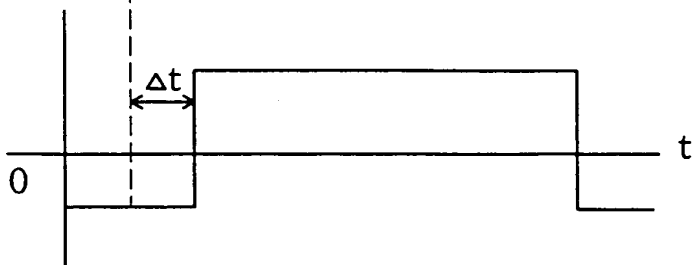


圖 三 c

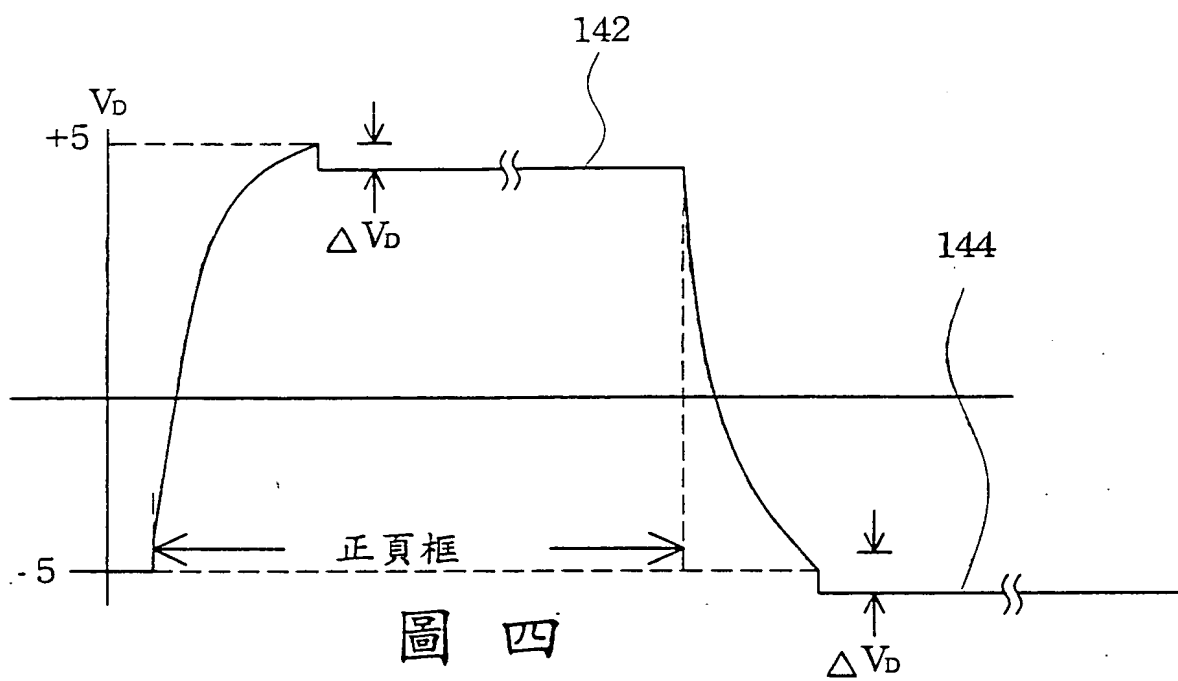


圖 四

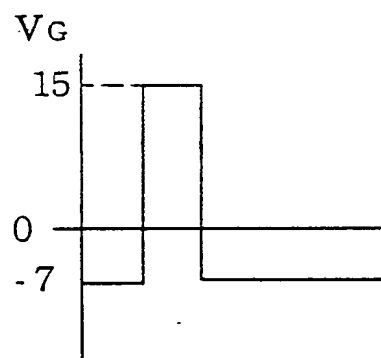


圖 五 a

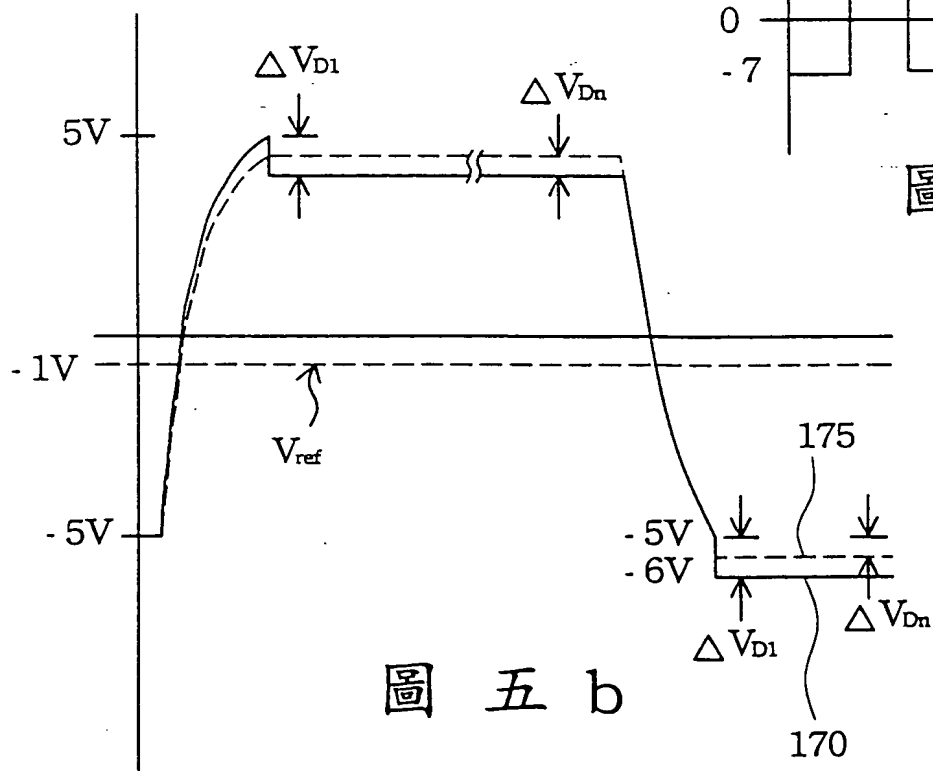


圖 五 b

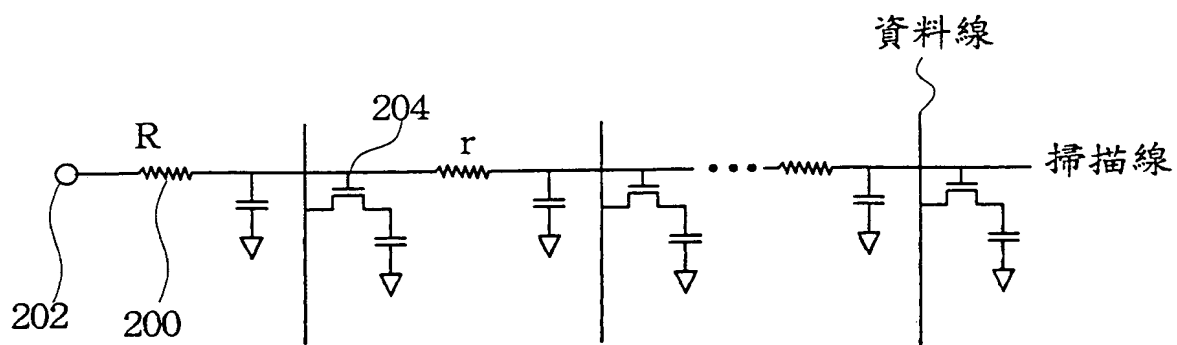


圖 六

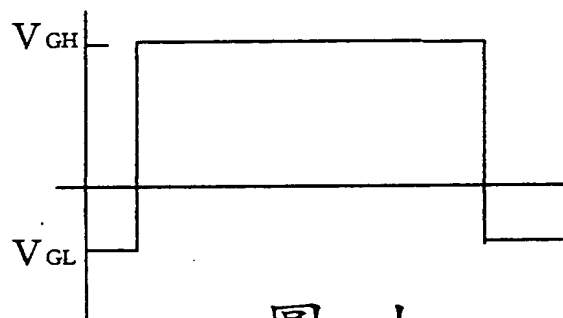


圖 七 a

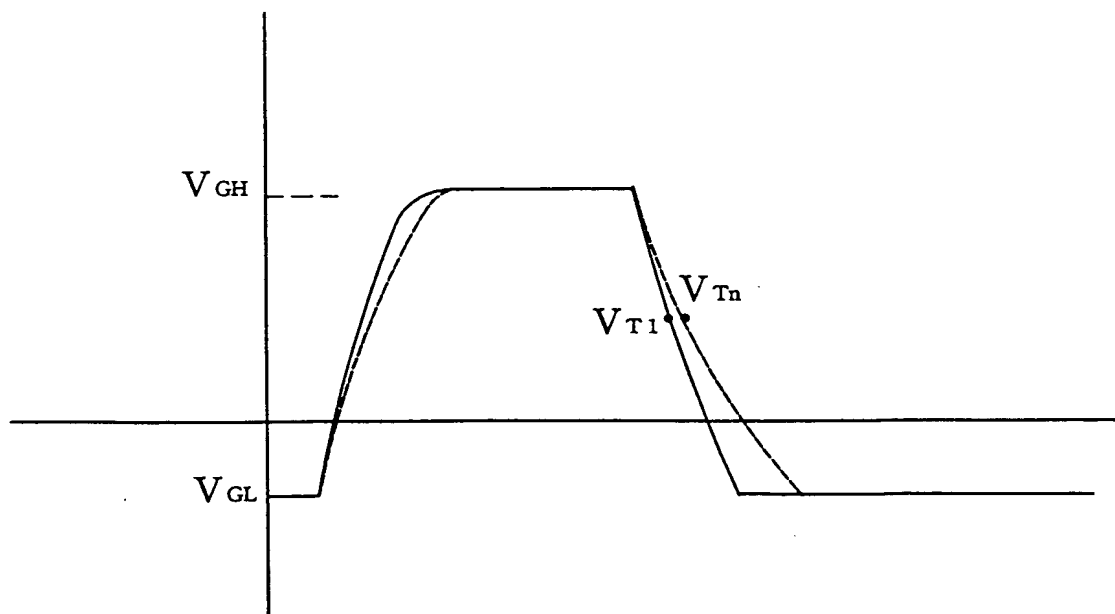


圖 七 b

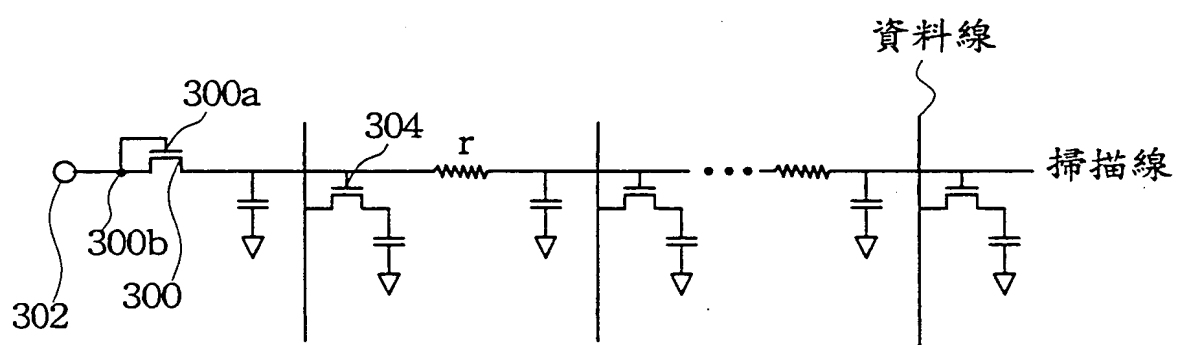


圖 八